

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2002年 7月23日

出願番号

Application Number:

特願2002-214031

[ST.10/C]:

[JP 2002-214031]

出願人

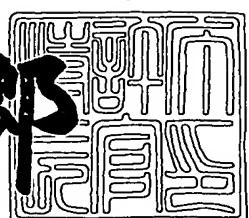
Applicant(s):

沖電気工業株式会社

2002年10月18日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3081572

【書類名】 特許願
 【整理番号】 FJ000127
 【提出日】 平成14年 7月23日
 【あて先】 特許庁長官殿
 【国際特許分類】 G06F 3/00
 G06F 1/06
 【発明の名称】 情報処理装置
 【請求項の数】 5
 【発明者】
 【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社
 社内
 【氏名】 稲葉 総一郎
 【特許出願人】
 【識別番号】 000000295
 【氏名又は名称】 沖電気工業株式会社
 【代理人】
 【識別番号】 100079119
 【弁理士】
 【氏名又は名称】 藤村 元彦
 【手数料の表示】
 【予納台帳番号】 016469
 【納付金額】 21,000円
 【提出物件の目録】
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9801889
 【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 情報処理装置

【特許請求の範囲】

【請求項1】 クロック切替信号に応じてクロック周波数を変更して動作するCPUを含む情報処理装置であって、

優先度を付与した複数種類のクロック切替信号の各々に対応して、少なくとも前記クロック周波数を含むCPU動作設定情報片を保持する保持手段と、

前記優先度を付与した複数種類のクロック切替信号に応じて、前記優先度に従ってクロック切替信号を選択して、前記選択したクロック切替信号に応じて、これに対応する前記CPU動作設定情報片の内容に従って前記CPUのクロック周波数を変更する変更手段と、

を含むことを特徴とする情報処理装置。

【請求項2】 メモリアクセス動作を検出手段を更に含み、前記保持手段におけるCPU動作設定情報片は、前記複数種類のクロック切替信号の各々に対応するメモリアクセスタイミングを更に含み、前記変更手段は、前記検出されるメモリアクセス動作を回避して、前記CPU動作設定情報片の内容に従って前記クロック周波数の変更と共に前記CPUのメモリアクセスタイミングを変更することを特徴とする請求項1記載の情報処理装置。

【請求項3】 前記複数種類のクロック切替信号の各々は、前記CPUに入力される複数種類の割り込み信号の各々に対応することを特徴とする請求項1又は2記載の情報処理装置。

【請求項4】 前記優先度は、クロック周波数の高低に従った優先度であることを特徴とする請求項1記載の情報処理装置。

【請求項5】 前記クロック周波数のクロック信号を停止する手段と、前記少なくとも1種類又は複数種類のクロック切替信号のうちの少なくとも1つに応じて前記クロック信号を再開する手段を更に含むことを特徴とする請求項1記載の情報処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、CPU (Central Processor Unit) を含む情報処理装置に関する。

【0002】**【従来の技術】**

情報処理装置に組み込まれるCPUの動作は、通常一定の周期により繰り返されるパルス信号、即ちクロック信号に従って、メモリから命令を読み出して順次実行する。このクロック信号の周波数、即ちクロック周波数は、情報処理装置全体の動作の基調を司ることから、例えば水晶振動子発信回路等により一定の周波数に維持されるのが通常である。

【0003】

一方、近年、携帯電話、情報処理端末（PDA）等の小型軽量の情報処理装置に対する需要が拡大している。かかる小型軽量の情報処理装置においては、その処理速度の向上が望まれる一方で、長時間の無充電使用を可能とする低消費電力化が望まれ、そのために、該消費電力の多くを占めるCPU消費電力を軽減するためにCPUのクロック周波数を一時的に下げて使用することが行われる。

【0004】

そこで、特開昭61-286913号は、CPUをもつ電子機器の動作クロック周波数を、ハードウェア信号により変更する方法を開示している。かかる方法の実施形態として、ACアダプタの接続又は切り離しに応じたハードウェア信号の入力を基にしてCPUの動作クロック周波数を変更する形態が開示されている。しかし、かかる方法では、CPUがクロック変更を認識する手段がなく、クロック周波数の変更に応じた適切なメモリアクセスタイミングの調整については何ら対処がなされていなかった。これは、メモリアクセスタイミングにおいてアドレスデコード等の処理に一定の時間を要し、実際にメモリからCPUがデータを取り込むまでには、クロック数で計られる何クロック分（ウエイト数）かのウエイト時間を挿入しなければならないことに起因する。そして、クロック周波数が動的に変更されクロック周期が変化する場合には、これに相応してメモリアクセスにおけるウエイト数もアクセスエラーを回避するために変更される必要があった。

【0005】

この点、特開平第9-319651号は、メモリをもつシングルチップマイコンにおいて、マイコンの動作クロック周波数が変更された場合にメモリアクセスのウエイト数をソフトウェア制御により変更する手段を有する構成を開示している。しかし、かかるソフトウェア制御によるメモリアクセスウエイトの変更は、ソフトウェア処理に伴うオーバヘッドが大きく電力消費上不利であるばかりか、クロック変更時点からアクセスメモリ変更時点との時間的ずれに起因して問題が存在した。具体的には次のようである。

【0006】

メモリアクセスウエイト数は高速クロックほど多く挿入し、低速なほど少なく挿入する必要がある。そのため、例えば、高速クロックから低速クロックにクロック周波数変更を行う場合、高速クロックのままメモリのアクセスウエイト数を減らすと、アクセスが間に合わなくなるためクロック速度を変更した後にメモリのアクセスウエイト数を少なくする必要がある。この場合には、低速状態であるにもかかわらず多くのアクセスウエイトが入った期間を生じる。

【0007】

また、低速クロックから高速クロックにクロック周波数変更を行う場合、高速クロック時のメモリアクセスウエイト数に増やした後で低速から高速クロック周波数に変更を行う必要がある。このように、クロック切り替えの過渡期において、低速クロックにもかかわらず、高速クロックに対応した多くのメモリウエイトを挿入するため、メモリアクセスが本来の性能を出せない期間を生じることとなる。

【0008】

ところで、かかる従来技術は、1つの動作クロック変更要求信号を想定しているため、複数の動作クロック変更の信号に対する対応ができなかった。このため、多様な動作クロック変更を可能として極めの細かい対応処理を行うことができなかった。

【0009】

【発明が解決しようとする課題】

そこで、本発明の目的は、メモリアクセスタイミングの適正化を図りつつ、多様なクロック周波数変更に対応し得る情報処理装置を提供することである。

【0010】

【課題を解決するための手段】

本発明による情報処理装置は、クロック切替信号に応じてクロック周波数を変更して動作するCPUを含む情報処理装置であり、優先度を付与した複数種類のクロック切替信号の各々に対応して、少なくとも該クロック周波数を含むCPU動作設定情報片を保持する保持手段と、該優先度を付与した複数種類のクロック切替信号に応じて該優先度に従ってクロック切替信号を選択して、該選択したクロック切替信号に応じて、これに対応する該CPU動作設定情報片の内容に従って該CPUのクロック周波数を変更する変更手段と、を含むことを特徴とする。

【0011】

【発明の実施の形態】

本発明の実施例について添付の図面を参照して詳細に説明する。

図1は、本発明の第1実施例における情報処理装置の構成を示している。

ここで、情報処理装置は、CPU1と、クロック制御回路2と、メモリ制御回路3と、メモリ5と、割り込み制御回路4とを含み、これら各々はCPUバス18により各々が接続されている。CPU1は、CPU周辺回路の制御を行うマイクロプロセッサであり、割り込み制御回路4からの制御線17とクロック制御回路2からの出力クロック信号14とが入力される。クロック制御回路2は、例えば水晶振動子による発信器（図示せず）からの基本クロック信号13を分周してシステムの動作クロックである出力クロック信号14を生成する機能を有し、クロックの分周を行うクロック分周回路6と、クロック分周回路6の分周比を決めるクロック分周設定レジスタ7と、CPU1及びクロック分周設定レジスタ7との間のインターフェースを司るバスインターフェース回路8と、クロック分周変更制御回路9とからなる。クロック分周変更制御回路9は、割り込み信号INT0乃至INT3が兼用されるクロック切替信号、即ちクロック分周変更要求信号を受信し、アサートされたクロック分周変更要求信号に応じて基本クロック信号13に対する分周比を変更して出力クロック信号14の周波数を変更する機能を有する

。割り込み制御回路4は、複数の割り込み信号INT0乃至INT3を検出してCPU1に対して割り込み制御信号を制御線17を介してCPU1に入力する。メモリ制御回路3は、CPUバス18とメモリ5との間のインターフェースを行う機能を有し、クロック制御回路2からの出力クロック信号14に応じてメモリへのアクセスを制御する。

図2は、図1に示される第1実施例におけるクロック制御回路2の詳細な構成を示している。

【0012】

クロック分周回路6は、分周比の異なる3つの分周回路として1/8分周回路22と、1/4分周回路23と、1/2分周回路24とを含み、更にセレクタ21とを含む。セレクタ21は、各分周回路24、23、22により基本クロック信号13を分周したクロック信号が入力される入力端子B乃至Dと、分周されないままのクロック信号が入される入力端子Aとの間で選択し出力端子Yに出力し出力クロック信号14を供出する。セレクタ21における入力端子A乃至Dの選択はクロック分周設定レジスタ7に設定されている値に従ってなされる。例えば、クロック分周設定レジスタ7にバイナリ値00b、01b、10b及び11bが書かれた場合に入力端子A乃至Dが各々対応して選択され、結果的にクロック分周回路6の基本クロック信号13に対する分周率は対応して1/1、1/2、1/4及び1/8の分周率となる。

【0013】

クロック分周変更制御回路9は、4つの割り込み信号INT0乃至INT3がマスク制御回路（図示せず）を介して入力される優先順位回路20を含む。優先順位回路20は、割り込み信号INT0乃至INT3の何れか1つ又は複数が同時にアサートされた場合に指定された優先順位に基づいて最優先の割り込み信号入力を選択する機能を有する。該優先順位の指定はCPU1によるソフトウェア制御が可能である。優先順位の設定は、例えば、INT0>INT1>INT2>INT3の如き順に設定され得る。優先順位回路20は、最優先の割り込み信号に応じた信号をクロック分周設定レジスタ7に出力する。これに応じてクロック分周設定レジスタ7の値が、割り込み信号INT0、INT1、INT2及び

INT3のそれぞれに対応して各々00b、01b、10b及び11bに設定される。これらにより、CPUの動作クロック周波数の変更を可能とする変更手段が提供される。

【0014】

次に、本第1実施例における通常の動作について説明する。

低速クロックでも処理可能な状態或いは待機状態に入った場合に、CPU1はソフトウェア制御によりバスインターフェース回路8を介してクロック分周設定レジスタ7に数値11bを書き込む。これに応じてクロック分周回路6は、クロック分周設定レジスタ7の値に従って11bに対応する1/8分周回路22を選択する。例えば、基本クロック信号13が1000MHzであるとすると、出力クロック信号14は125MHzとなり、CPU1及びCPU周辺回路を含むシステムの各回路は最も低い周波数125MHzで動作する。

【0015】

かかる低速クロック動作中に、2番目に高速な処理が必要な割り込みINT1がアサートされたとする。このINT1より高プライオリティの割り込み信号がアサートされていない場合、このINT1は優先順位回路で受け付けられ、INT1に対応する01bの値が優先順位回路20からクロック分周設定レジスタ7に伝達され書き換えられる。クロック分周回路6内のセレクタ21は、クロック分周設定レジスタ7の内容に従ってレジスタ値01bに対応する1/2分周回路を選択する。結果的に、出力クロック信号14は最も低い基本クロック信号13の1/8分周の状態から1/2分周に変更される。先の例と同様に基本クロック信号13を1000MHzであるとすると、出力クロック信号14は500MHzとなり、CPU1及びCPU周辺回路を含むシステムの各回路は中庸な周波数500MHzで動作する。一方、割り込み信号INT1は割り込み制御回路4により受け付けられ、INT1に対する本来の割り込み処理が動作する。

【0016】

以上のように本第1実施例によれば、システム動作クロック周波数の変更要求信号を複数備えたことで、該要求信号に対応する最適な動作クロックが選択でき、又、同時に複数アサートされたとしても、最も高い優先順位の割り込み信号に

対応する動作クロック周波数が選択されることにより、最適な消費電力と処理能力を選ぶことができる。また、割り込み信号と動作クロック周波数切り替え要求信号とが兼用されていることから、動作クロックの変更要求が発生すると同時にCPU1は動作クロック周波数の変更を知ることができ、迅速に動作クロック周波数の変更に対応する処理、例えばメモリウエイトの変更をソフトウェア制御により実行することができる。割り込み信号と動作クロック周波数切り替え要求信号とが兼用されていることは、又、割り込み処理に適したクロック周波数を選択することを可能としている。

【0017】

図3は、本発明の第2実施例における情報処理装置の構成を示している。本第2実施例は、動作クロック周波数の変更と、メモリアクセスタイミング上のウエイト数変更とを同時にハードウェアで行う構成であり、第1実施例の構成とは、メモリ制御回路3の内部構成において異なり、メモリ制御回路3は、クロック制御回路2からのクロック切り替え信号線31が接続され、更に、クロック制御回路2にメモリアクセス中信号線32が接続される点で異なる。

【0018】

メモリ制御回路3は、メモリ5に接続されこの間のインターフェースを司るメモリインターフェース回路25と、CPUバス18に接続され、この間のインターフェースを司るバスインターフェース回路26と、アクセスウエイト設定レジスタA27及びアクセスウエイト設定レジスタB28と、セレクタ30と、アクセスウエイト切り替え回路29とを含む。アクセスウエイト設定レジスタA27及びアクセスウエイト設定レジスタB28は、バスインターフェース回路26に各々接続され、メモリ5をアクセスする際のウエイト数を決める数値が設定される。セレクタ30は、アクセス切り替え回路29からの制御信号に応じてアクセスウエイト設定レジスタA(27)又はアクセスウエイト設定レジスタB28を逐一的に切り替える。アクセスウエイト切り替え回路29は、クロック制御回路2に含まれるクロック分周回路6からのクロック切り替え信号線31の信号を受信する。クロック切り替え信号線31は、クロック制御回路2により選択されるクロック分周比を指定する値を出力し、例えば、クロック切り替え信号線31が“0”的時

は分周比を1とし、クロック切り替え信号線31が“1”の時は分周比を1/8とする。

【0019】

メモリインターフェース回路25は、更に、CPU1がメモリ5にアクセス中であることを示す信号、即ちメモリアクセス中信号線32をクロック制御回路2に含まれるクロック分周変更制御回路33に出力する。これにより、メモリアクセス中であるか否かを検出する検出手段が提供される。クロック分周変更制御回路33は、メモリアクセス中信号線32がアサートされている場合には、たとえ割り込み信号INT0乃至INT3の何れかがアサートされていても、クロック分周設定レジスタ7の内容変更を行わず、メモリアクセス中信号線32がネゲートされた後にクロック分周設定レジスタ7の値変更を行う。

【0020】

アクセスウェイト設定レジスタA27及びアクセスウェイト設定レジスタB28の内容は、CPU1のソフトウェア制御により書き換えることができる。例えば、アクセスウェイト設定レジスタA27には、高速クロックに対応したメモリアクセスウェイト数として8が設定され、アクセスウェイト設定レジスタB28には、低速クロックに対応しメモリアクセスウェイトとして0が設定される。これらにより、CPUの動作クロック周波数の変更のみならずメモリアクセスタイミングの変更を可能とする変更手段が提供される。

【0021】

次に、本第2実施例における動作について、第1実施例における動作と異なるメモリアクセスに関わる部分に焦点を当てて説明する。

低速クロックでも処理可能な状態或いは待機状態に入った場合、CPU1はソフトウェア制御によりクロック分周設定レジスタ7に1/8分周比となる低速クロックに設定し、CPU1及びCPU周辺回路はこのクロック周波数において動作する。

【0022】

この時、クロック切り替え信号線31は“1”を出力しており、これを受けたアクセスウェイト切り替え回路29はセレクタ30に対し、低速クロック用のウ

エイト数“0”が設定されているアクセスウエイト設定レジスタB28を選択する。これによりメモリ5に対するメモリアクセスタイミングは、低速クロックに対応して0ウエイトでアクセスすることになる。

【0023】

この期間中に、割り込み信号INT0がアサートされた場合、クロック分周変更制御回路33は、メモリアクセス中信号線32を見て、これがアサートされているならばメモリアクセス中であると判断し、メモリアクセス中信号線32がネゲートされるのを待つ。後に、メモリアクセス中信号線32がネゲートされたならば、クロック分周変更制御回路33は、クロック分周設定レジスタ7の値を高速クロックに対応する設定値に変更する。この変更に応じて、クロック分周回路6は高速クロックに切り替えると共に、クロック切り替え信号線31を“0”とする。これを受けたアクセスウエイト切り替え回路29はセレクタ30を切り替えて、高速クロックに対応するアクセスウエイト数“8”が設定されているアクセスウエイト設定レジスタA27を選択する。以上の動作により、メモリアクセスが行われていない期間において、高速クロックへの変更と、該高速クロックに対応するメモリアクセスのウエイト数の変更が同時になされる。以後、CPU1はかかる高速クロック対応の動作環境において動作を継続する。

【0024】

以上のように、本第2実施例によれば、動作クロックの周波数変更および、メモリのアクセスウエイト数の変更をソフトウェアでなくハードウェアにより行うことにより迅速な変更が可能となる。又、メモリアクセスが行われていないことを確認できる手段を設けたことにより、メモリアクセスの無い時に、動作クロック周波数変更及びメモリアクセスウエイト数変更を同時に行うことで、両者のずれに起因する無効なウエイト挿入処理を解消することが可能となる。

【0025】

図4は、本発明の第3実施例における情報処理装置の構成を示している。本第3実施例は、第2実施例とは異なり複数のクロック分周変更要求信号に対応すると共に、対応して3つ以上のメモリアクセスウエイト数に対応する構成例を示している。

クロック変更制御回路35は、図1の第1実施例と同様に4つの割り込み信号INT0乃至INT3を入力する。4つの割り込み信号INT0乃至INT3の各々は、4つのクロック分周変更要求信号として各々対応して兼用される。クロック分周回路6は、4つのクロック周波数に対応して4つのクロック切り替え信号線39乃至41を有し、これらはメモリ制御回路3のアクセスウエイト切り替え回路34に接続される。クロック切り替え信号線39乃至41は、クロック周波数に対応してその信号がアサートされる。

【0026】

メモリ制御回路3は、4つのアクセスウエイト設定レジスタA27、アクセスウエイト設定レジスタB28、アクセスウエイト設定レジスタC36、アクセスウエイト設定レジスタD37とを含み、4つのクロック切り替え信号線39乃至41の各々の信号に対応して適切なアクセスウエイト値が設定される。アクセスウエイト切り替え回路34はクロック切り替え信号線39乃至41の信号変化、即ちアサートされる信号を見つけ、セレクタ30により4つのアクセスウエイト設定レジスタA27乃至アクセスウエイト設定レジスタD37の何れか1つに切り替える。

【0027】

図5は、図4に示される第3実施例におけるクロック制御回路2の詳細な構成を示している。

クロック制御回路2は、第1実施例における構成とは異なり、クロック分周変更制御回路35内の優先順位回路36にメモリーアクセス中信号線32が追加して接続される。クロック分周変更制御回路35は、メモリーアクセス中信号線32がアサートされている場合には、たとえINT0乃至INT3の何れかがアサートされていてもクロック分周設定レジスタ7の値の書き換えを行わない。

【0028】

クロック分周回路6のセレクタ21は、第1実施例における構成とは異なり、4つのクロック切り替え信号線A乃至D38、39、40、41が接続される。セレクタ21は、入力端子A乃至Dの選択に応じてクロック切り替え信号線A乃至D38、39、40、41のうちの対応する1つの信号線をアサートする。

本第3実施例における動作について説明する。

【0029】

低速クロックにて処理可能な状態或いは待機状態に入った場合、CPU1は、ソフトウェア制御によりバスインターフェース回路8を介してクロック分周設定レジスタ7に数値11bを書き込む。クロック分周設定レジスタ7の変更に応じてクロック分周回路6は、クロック分周設定レジスタ7の値に従って11bに対応する1/8分周回路22を選択し、入力される基本クロック信号13を1/8分周して出力クロック信号14を出力する。CPU1及びCPU周辺回路を含む各回路はこの最も低い周波数で動作する。

【0030】

一方、クロック分周回路6のセレクタ21は、1/8分周回路22の選択に応じてクロック切り替え信号線D41をアサートする。これに応じて、アクセスウェイト切り替え回路34は、クロック切り替え信号線D41に対応するアクセスウェイト設定レジスタD37をセレクタ30により選択する。結果として、最も低速なクロック周波数に対応するメモリアクセスウェイト数においてメモリアクセスが実行される。

【0031】

かかる低速クロック動作中に、2番目に高速な処理が必要な割り込み信号INT1がアサートされたとする。このINT1より高プライオリティの割り込み信号がアサートされていない場合、このINT1は優先順位回路で受け付けられる。そして、優先順位回路36はメモリアクセス中信号線32のアサート又はネゲートの状態を見る。

【0032】

メモリアクセス中信号線32がネゲートされている場合には、優先順位回路36は、INT1に対応する信号をクロック制御回路7に伝達し、クロック分周設定レジスタ7の内容をINT1に対応するレジスタ値01bに書き換える。

メモリアクセス中信号線32がアサートされている場合には、優先順位回路36は、メモリアクセス中のクロック速度変更を避けるため、メモリアクセス中信号線32がネゲートされるまでクロック分周設定レジスタ7の書き換えを待つ。

メモリアクセス中信号線32がネゲートされた後に、優先順位回路36は、INT1に対応するレジスタ値01bにクロック分周設定レジスタ7を書き換える。

【0033】

クロック分周回路6内のセレクタ21はクロック分周設定レジスタ7の値01bに対応する1/2分周回路を選択する。これと同時に、セレクタ21は、クロック切り替え信号線A38をアサートする。メモリ制御回路2のアクセスウェイト切り替え回路34は、クロック切り替え信号線B39に対応するアクセスウェイトレジスタB28をセレクタ30を制御して選択する。

【0034】

以上の動作により、メモリアクセスが行われていない期間に、出力クロック信号14は最も低い基本クロック信号13の1/8分周から1/2分周に変更され、且つ、メモリアクセスウェイトも1/2分周に対応するウェイト数に変更される。この動作条件にてCPU1は動作を継続する。一方、割り込み信号INT1は、割り込み制御回路4により受け付けられ、割り込み信号INT1に対する割り込み処理ルーチンが動作する。

【0035】

以上のように第3実施例によれば、動作クロック周波数変更要求信号の入力端子を複数備えたことから、それぞれの信号に対応する最適なシステムクロックの切り替えが可能となり、且つ対応して複数のメモリアクセスウェイト数の変更也可能となる。これによりアプリケーションソフトウェアの処理時間と消費電力との最適化が図られる。又、ハードウェア割り込み信号に対する優先順位回路を設けたことで、同時に複数のクロック周波数変更を要求する信号がアサートされたとしても、最も速いクロック速度の選択を行うハードウェア信号を最優先に設定することで高速処理が必要な処理が迅速に行える。

【0036】

図6は、第4実施例におけるクロック制御回路の詳細な構成を示している。

ここで、クロック制御回路2には、クロック停止回路42及びクロック制御レジスタ43とが他の実施例とが更に備えられる。クロック停止回路42は、これに接続されるクロック制御レジスタ43の設定に従って、入力される基本クロッ

ク信号13のクロック分周回路6への供給を開閉する。クロックの停止は、例えば、CPU1によるソフトウェア制御によりバスインターフェース回路8を介してなされ得る。クロックの再開は、割り込み制御回路4からの停止解除信号(Wake Up信号)に応じたクロック制御レジスタ43の内容変更により行われる。割り込み制御回路4における停止解除信号の生成は、例えば、INT0とINT1とのOR論理により生成することが考えられる。

【0037】

図4に示される第4実施例の動作について説明する。

先ず、CPUは処理すべき処理対象が無くなった場合に、クロック制御レジスタ42をソフトウェア制御することにより、システムクロックが停止した状態(ストップ状態)にする。後に、例えば、情報処理装置に接続されたキーボードを操作することによりINT0割り込みが発生したとすると、割り込み制御回路4は、INT0又はINT1のOR論理から停止解除信号をアサートする。この停止解除信号に応じて、クロック制御レジスタ43にクロック復帰に対応する値を設定する。この値の設定に応じて、クロック停止回路42は、クロック停止を解除し、クロック分周回路6へのクロック信号の供給を再開する。一方、INT0割り込みの発生に応じて、先の実施例において説明したのと同様の手順によりINT0に対応するクロック分周率の設定と、メモリアクセスウェイトの設定がハードウェア制御により高速になされる。

【0038】

以上の第4実施例によれば、クロック停止状態からの復帰に際しても、複数の割り込みの各々に対応したクロック周波数の変更及び対応するアクセスウェイト変更が高速且つメモリエラー等の不具合を生ずることなく実行され得る。更に、クロック再開時におけるクロック周波数は、復帰時の割り込みの種類に対応した適切なクロック周波数となり、クロック停止時のクロック周波数に拘束されることはない。

【0039】

尚、以上の複数の実施例においては、割り込み信号と動作クロック周波数切り替え要求信号とが兼用されている例が説明されたが、本発明による情報処理装置

は、割り込み信号とは無関係に、外部入力又はプログラム制御に応じて、動作クロック周波数に対応するクロック切替信号を発生せしめて、動作クロック周波数及び／又はアクセスタイミングの変更をなす構成とすることも可能である。又、アクセスタイミングには、メモリウエイト数のみならず、アクセストライムの如きメモリアクセス動作を規定する他の情報が含まれても良い。

【0040】

【発明の効果】

以上のように本発明による情報処理装置によれば、例えば、複数種類の割り込み信号をクロック信号変更要求信号として、多様なクロック周波数変更及びメモリアクセスタイミングの適正な変更とを同時になすことが可能となる。

【図面の簡単な説明】

【図1】

本発明の第1実施例における情報処理装置の構成を示しているブロック図である。

【図2】

図1に示される第1実施例におけるクロック制御回路の詳細な構成を示しているブロック図である。

【図3】

本発明の第2実施例における情報処理装置の構成を示しているブロック図である。

【図4】

本発明の第3実施例における情報処理装置の構成を示しているブロック図である。

【図5】

図4に示される第3実施例におけるクロック制御回路の詳細な構成を示しているブロック図である。

【図6】

本発明の第4実施例におけるクロック制御回路の詳細な構成を示しているブロック図である。

【符号の説明】

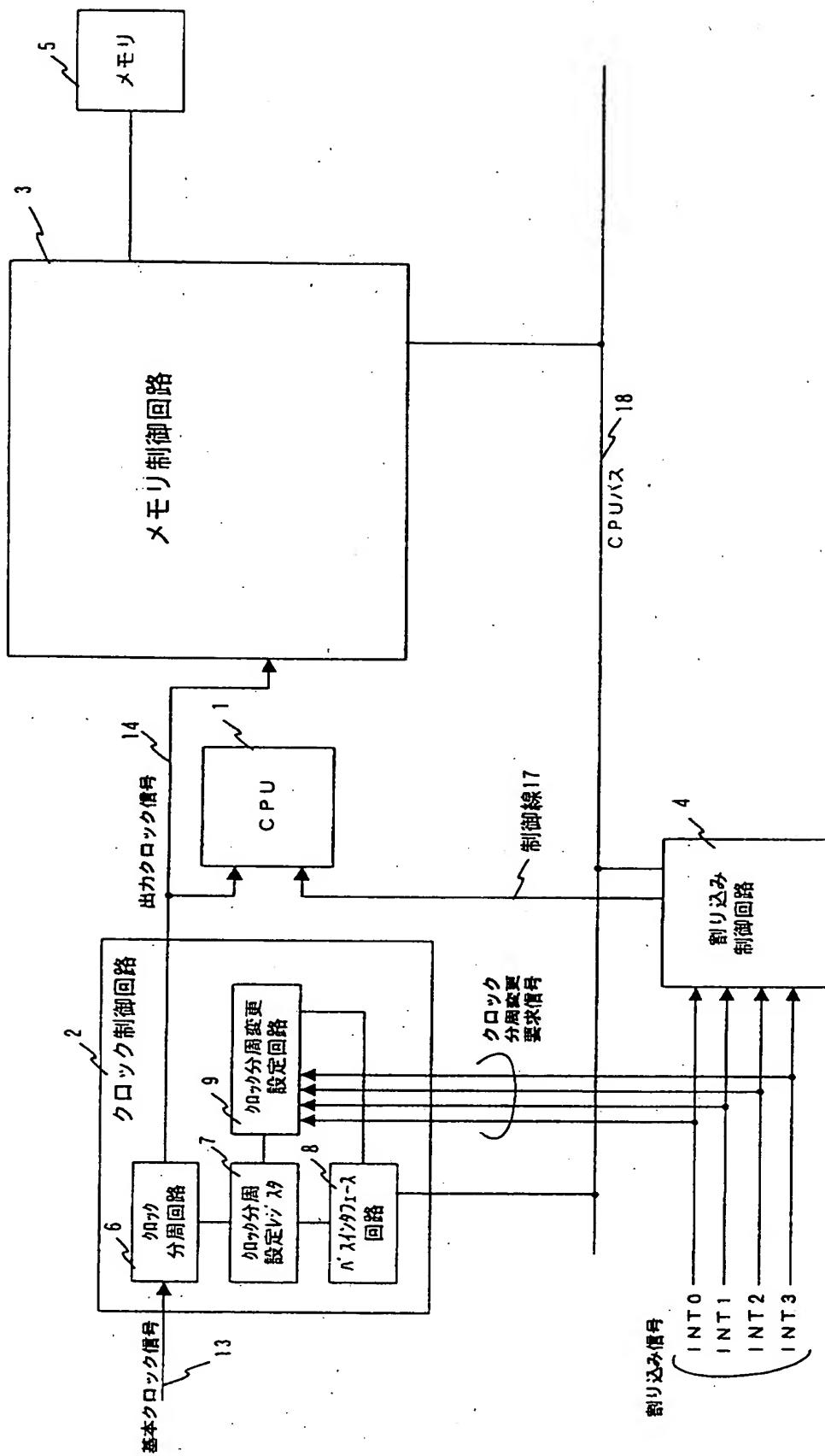
- 1 CPU
- 2 クロック制御回路
- 3 メモリ制御回路
- 4 割り込み制御回路
- 5 メモリ
- 6、33 クロック分周回路
- 7 クロック分周設定レジスタ
- 8 バスインターフェース回路
- 9、33、35 クロック分周変更設定回路
- 13 基本クロック信号線
- 14 出力クロック信号線
- 17 制御線
- 18 CPUバス
- 20、36 優先順位回路
- 21、30 セレクタ
- 22 1／8分周回路
- 23 1／4分周回路
- 24 1／2分周回路
- 25 メモリインターフェース回路
- 26 バスインターフェース回路
- 27 アクセスウェイト設定レジスタA
- 28 アクセスウェイト設定レジスタB
- 31 クロック切り替え信号線
- 32 メモリアクセス中信号線
- 36 アクセスウェイト設定レジスタC
- 37 アクセスウェイト設定レジスタD
- 38、39、40、41 クロック切り替え信号線A乃至D
- 42 クロック停止回路

特2002-214031

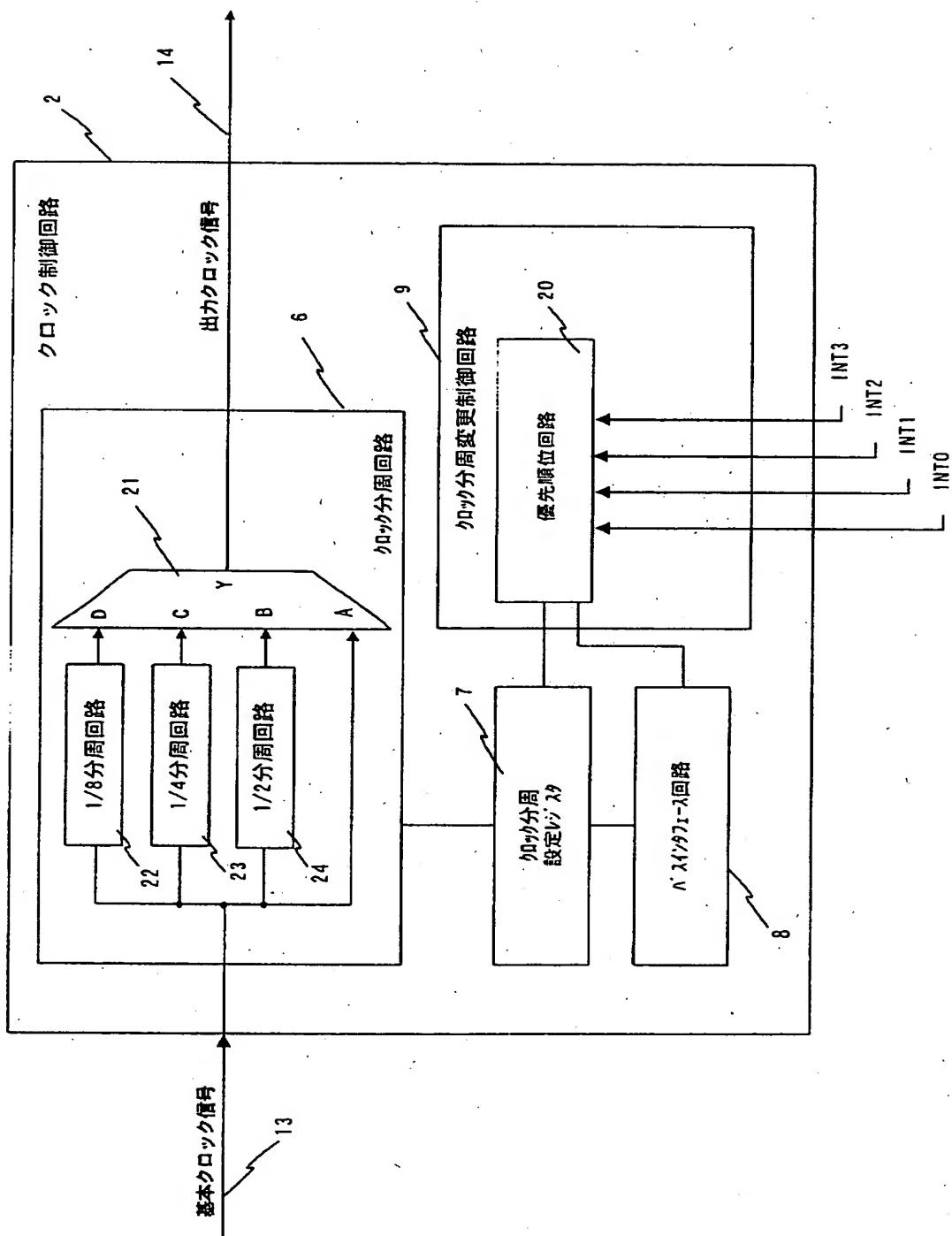
4.3 クロック停止制御レジスタ

特2002-214031

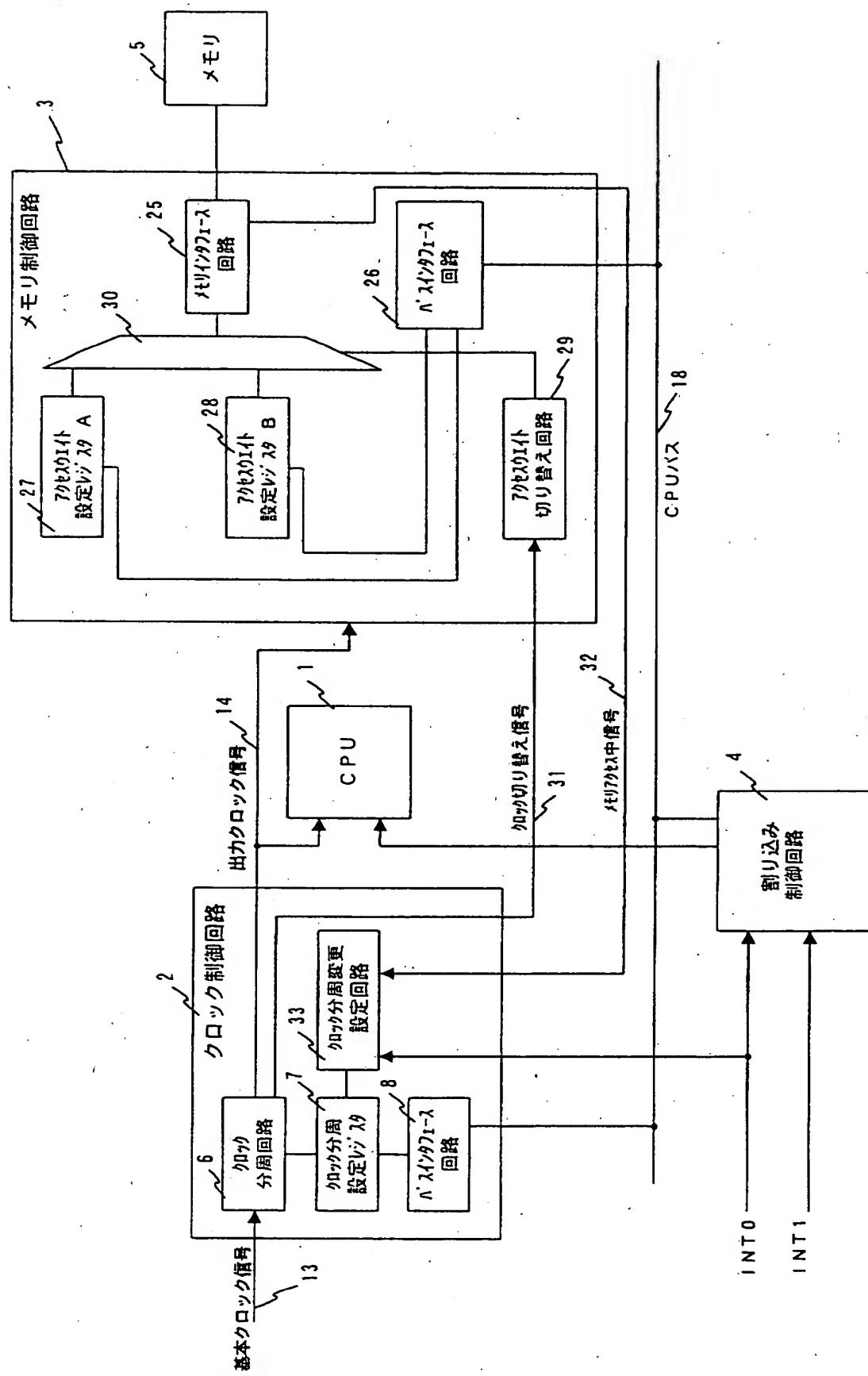
【書類名】 図面
【図1】



【図2】

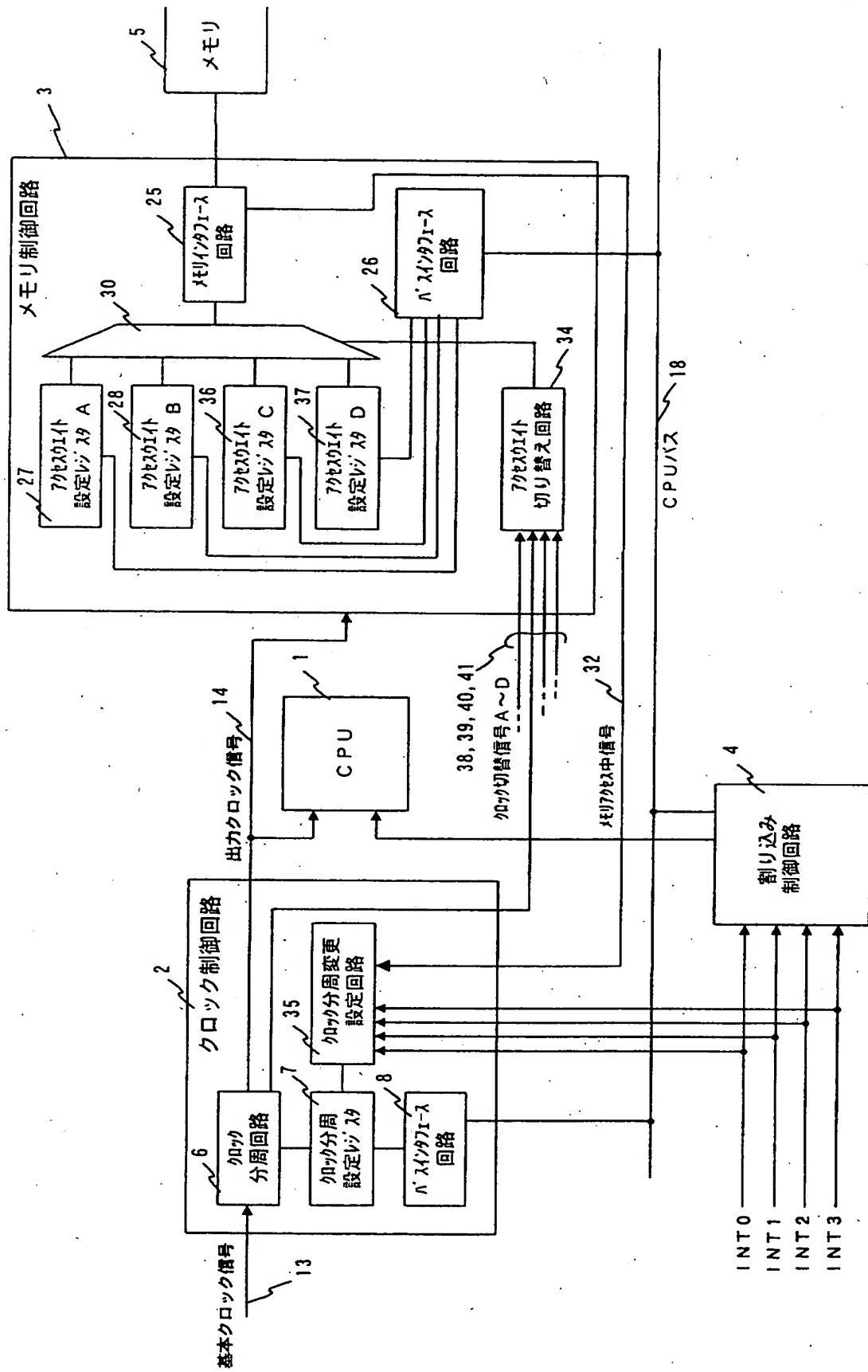


【図3】

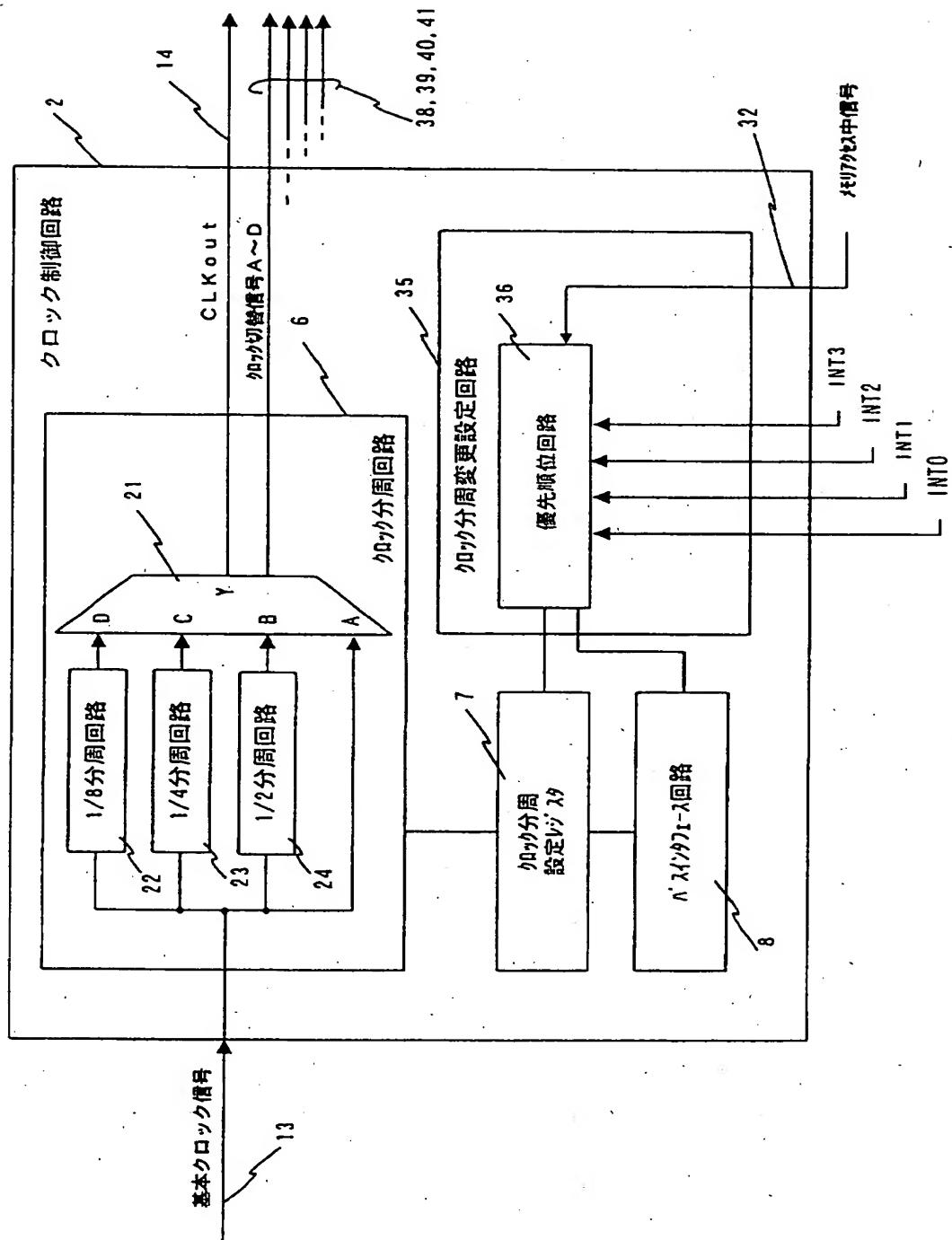


特2002-214031

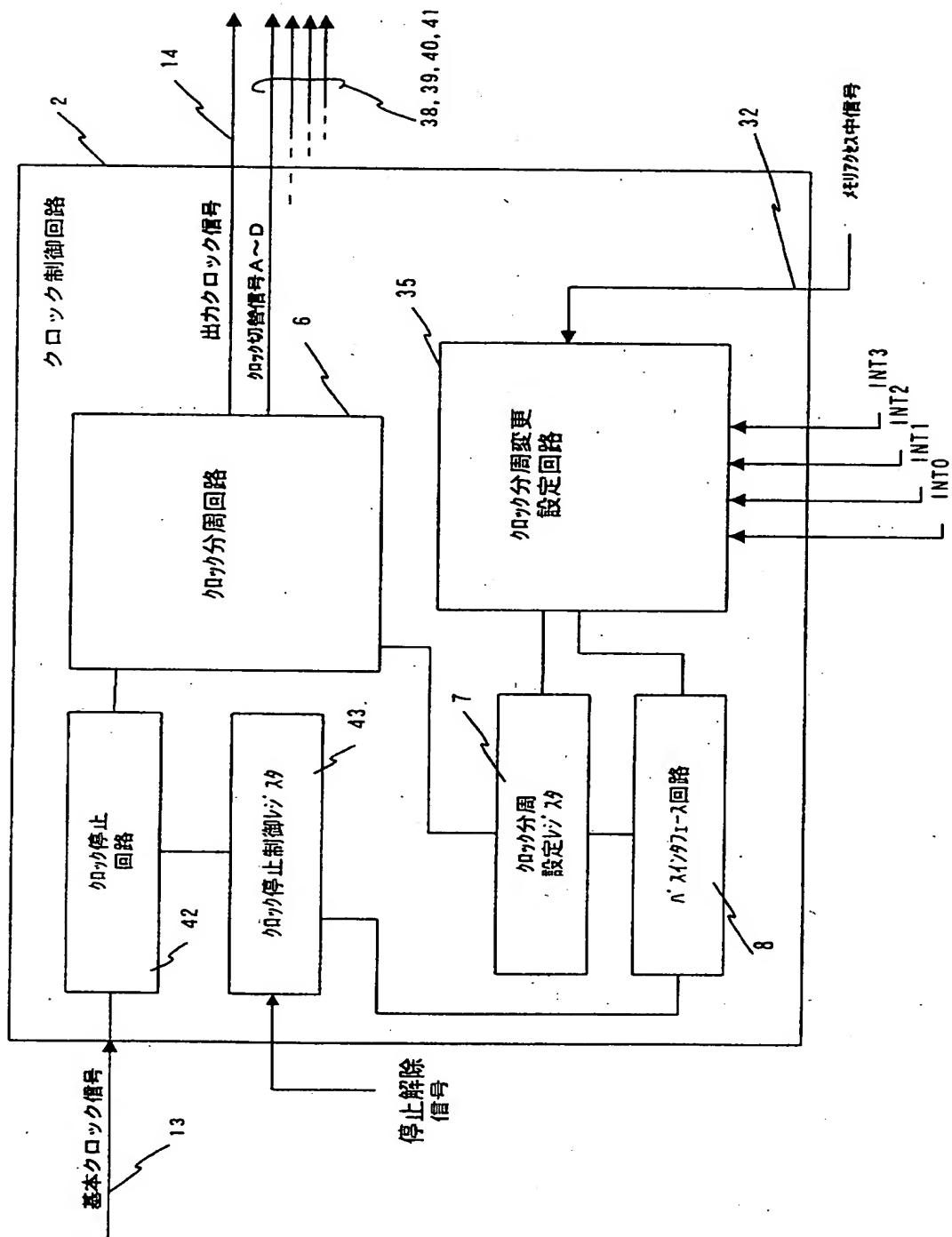
【図4】



【図5】



【図6】



【書類名】 要約書

【要約】

【目的】 クロック周波数変更に伴うメモリアクセスタイミングの適正化を図りつつ、多様なクロック周波数変更に対応し得る情報処理装置を提供する。

【構成】 クロック切替信号に応じてクロック周波数を変更して動作するC P Uを含む情報処理装置であり、優先度を付与した複数種類のクロック切替信号の各々に対応して、該クロック周波数を含むC P U動作設定情報片を保持する。該優先度を付与した複数種類のクロック切替信号に応じて、該優先度に従ってクロック切替信号を選択して、該選択したクロック切替信号に応じて、これに対応する該C P U動作設定情報片の内容に従って該C P Uのクロック周波数を変更する。

【選択図】 図1

出願人履歴情報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 東京都港区虎ノ門1丁目7番12号
氏 名 沖電気工業株式会社